

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 1 月 8 日 (08.01.2004)

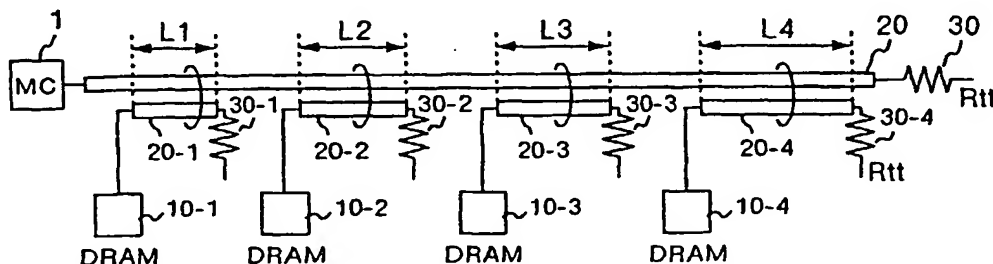
PCT

(10) 国際公開番号
WO 2004/003719 A1

- (51) 国際特許分類: G06F 3/00, 13/16, 12/00 生区王禅寺 1099 番地 株式会社日立製作所 システム開発研究所内 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2003/008357
- (22) 国際出願日: 2003 年 7 月 1 日 (01.07.2003) (74) 代理人: 小川 勝男 (OGAWA, Katsuo); 〒103-0025 東京都中央区日本橋茅場町二丁目 9 番 8 号 友泉茅場町ビル 日東国際特許事務所 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, US.
- (30) 優先権データ: 特願 2002-191583 2002 年 7 月 1 日 (01.07.2002) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目 6 番地 Tokyo (JP). 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大坂 英樹 (OSAKA, Hideki) [JP/JP]; 〒215-0013 神奈川県川崎市麻
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: EQUAL-AMPLITUDE DIRECTIONAL COUPLING BUS SYSTEM

(54) 発明の名称: 等振幅方向性結合式バスシステム



(57) Abstract: In ultra-high-speed data transfer, a drive pulse is attenuated by a skin effect and a dielectric loss as the drive pulse is propagated through a main line and, as a result, a tail generated by a sub-coupler becomes longer. This increases a code-to-code interference and causes a jitter. To speed data transfer in a memory system where a plurality of DRAM memory modules are connected, a directional coupler is installed between a memory controller and each module to increase the coupling length of a farther module and to suppress a jitter. Since the directional coupler is provided between the memory controller and each module to increase the coupling length of a farther module the signal generation amount is kept constant and a jitter due to wiring and receiver delay is prevented.

(57) 要約: 超高速データ転送ではメインラインをドライブパルスが伝搬するに従い表皮効果・誘電損失で減衰し副結合器で生成されるtailが延びる。このため、符号間干渉が大きくなりジッタの原因となっていた。複数のDRAMのメモリモジュールが接続されるメモリシステムにおいて、データ転送の高速化を図るため、メモリコントローラと各モジュール間に方向性結合器が配線され、結合長を遠端ほど長くすることでジッタを抑える。メモリコントローラと各モジュール間に方向性結合器が配線され、結合長を遠端ほど長くすることで信号生成量を一定にし、配線とレシーバ遅延のジッタを抑える。

WO 2004/003719 A1

明 細 書

等振幅方向性結合式バスシステム

5 技術分野

本発明は情報処理装置においてマルチプロセッサやメモリ等の素子間（例えばCMOS等により構成されたデジタル回路間又はその機能ブロック間）での信号伝送のための技術に関し、特に、複数の素子が同一の伝送線に接続されデータ転送を行うバス伝送の高速化技術に関するものである。

背景技術

多数のノードが接続され高速にデータを転送するためには配線の伝搬遅延時間が無視できなくなっている。特にDDR-SDRAM (Double Data Rate Synchronous DRAM) ではデータの動作周波数がアドレスのそれに対して2倍となっており、バス配線上の分岐配線の反射ノイズの影響で高速化が難しくなっている。これを解決する方法として特開平07-141079 (USP5638402)「非接触バス」、特開2001-027918 (US出願中09/570349)「方向性結合式メモリモジュール」、特開2001-027987 (US出願中09/569876)「方向性結合式バスシステム」があった。

第2図に特開平07-141079の方向性結合式バスの構成を示す。

これは2ノード間のデータ転送を後方クロストークすなわち方向性結合器によるNRZ信号からRZ信号への変換を用いて行っていた。すなわちバスマスタ10-1とスレーブ10-2～10-4間の転送

あり、同じ方向性結合器の結合係数を実現するため方向性結合器の配線間隔も同じであった。この配線間隔と長さが一定の方向性結合器はどのバススレーブに対してもほとんど同じ信号量を生成していた。

5 以上のように方向性結合器を用いたこれまでの従来技術では、用いられたバス内で方向性結合器の結合長は一定で、結合係数 (K_b) を決定する 2 線路間の間隔も一定であった。

発明の開示

このような技術であっても、メインラインのデータ転送レートが数百 Mbps 程度の高速転送レートではなんら実用的問題は発生しない。それは方向性結合器が動作周波数に対して十分な大きさの信号生成量を生成させていたためである。

しかしながら、本発明者がメモリシステムに応用したときのバス性能を更に高速化するための研究を進め、メインラインのデータ転送レートが数 Gbps 程度もしくはそれ以上の超高速転送レートの XTL 結合方式のメモリシステムを検討したところ、NRZ RZ の信号変換にともなう RZ 変換信号の波形のなまりとこれに伴うマスター近距離側メモリとマスター遠距離側メモリとの RZ 変換信号の振幅値の差と高速化に伴うジッタ量の増加と言う新規な問題を発見した。

20 これまでの方向性結合器の結合長の決め方は以下の通りである。

第 2 図で例えばメインライン 20 と配線 20-1 とが構成する方向性結合器を考える。配線 20 を主結合線路、20-1 を副結合線路と呼ぶ。ドライブパルスが主結合線路 20 を図面上左から右に進行する場合、副結合線路 20-1 の左端 (近端) に後方クロストークが生成される。方向性結合器が電源プレーンに囲まれるように構成されるストリップ線路の場合、右端 (遠端) に発生する前方クロストークは無

りが生じるようになり、符号間干渉が大きくなることが判明した。第

3図は一例として、(A) 500Mbps時のデータ転送時の、(B) 1Gbps動作時の、ドライブパルスとクロストーク信号を示す。ドライブパルスが伝送する場合、立上りと立下がりに応じた時刻にポジティブとネガティブのパルスが生成される。クロストーク波形で、ポジティブもネガティブも三角波の形をしているが、三角波の立さがりの方が立あがりより遅い。

オシロスコープで詳細にクロストーク信号波形を観察すると、この立下がり部の波形に尾を引いている部分が有ることが分かった。この部分をtail部と呼ぶことにする。このtail部がある原因は、ドライブパルスとクロストーク信号のそれぞれが方向性結合器を伝搬していく時に生じる波形鈍りによると考えられ、これは信号に含まれる高周波成分が配線の表皮効果、誘電損失により減衰が大きくなったためである。このため減衰は距離が長くなるほど顕著である。

第3図(A)では、ポジティブパルスのtail部は周期(T) 2nsの範囲内で収まっていたのでネガティブパルスに対して影響を与えていなかった。しかしながら、第3図(B)のように、周期が1nsとなると、同じ配線長を持つ方向性結合器に対してはポジティブパルスのtail部が次のネガティブパルスと干渉を起こしている。これは2つの信号(符号)間の干渉であることから符号間干渉(ISI: InterSymbol Interference)と呼ばれている現象である。このため、ネガティブパルスの1周期前にデータがない場合とある場合を比べるとデータがある場合は、前のデータに重畳する形で信号が生成されるので波形にずれが生じてしまう。このずれがジッタの原因となってしまう。なぜなら第2図の各バススレーブ10-1~10-4にクロストーク波形が到達するとき、レシーバが規定するスレッショルド電圧に前のデータ

ことからジッタ量も方向性結合器の位置により異なるという課題があった。このため、第1の目的は、方向性結合器により発生するジッタを方向性結合器の位置に関わらず一定にすることでシステム全体のタイミングマージンを一定することにある。

- 5 バスマスタ1とバススレーブ10-1～10-4間のデータ転送において、配置に依って生じる信号波形の振幅差を無くすことである。これにより、レシーバジッタを低く抑え、ノイズ感度を一定にすることで更なる高速化を実現できる。

- 10 本発明において第2の課題は、メモリモジュールのようにシステムの構成により方向性結合器の結合長が充分取れないあるいは等間隔にバススレーブを配置しなければならない場合では方向性結合器の結合長を最大長になるように配置させ、そのため結合長も一定にならざるを得なかった。このため、第1の課題のようにスレーブ間で発生する信号量が異なりジッタの原因となっていた。第2の目的はメモリモジュールのような等間隔で配置されバススレーブ間隔が取れない状態で、
- 15 バススレーブ毎に生成するクロストーク信号量を一定にすることである。

- 本発明の第3の課題は、方向性結合器に依る生成波形がtail部を含んでいることによりこのtail部自身が高速化に伴ってジッタの原因
- 20 になっていた。第3の目的はこのtail部をなくすこと、信号振幅を一定にすることでジッタを少なくすることにある。

- 第1の課題を解決するための手段として、方向性結合器を流れる信号の鈍りに応じて結合長を変えることで生成信号を一定することである。なまりの少ない波形には結合長を小さくし、なまりの大きな信号
- 25 に対しては結合長を大きくすることでなされる。

第2の課題を解決するための手段として、メモリモジュールのよう

第10図は、第5の実施例の方向性結合器式バス（メモリシステム）である。

第11図は、第6の実施例（折り返し配線を用いたメインライン）である。

- 5 第12図は、第7の実施例のメインラインをモジュール内で折り返したメモリバスである。

第13図は、方向性結合器の結合長と結合係数を調整した方向性結合器式バスである。

第14図は、tail部をキャンセルするためのドライバ回路4である。

- 10 第15図は、tail部をキャンセルするためのドライブ波形と符号間干渉が低減したクロストーク波形である。

第16図は、方向性結合器式バス（鳥瞰図）である。

発明を実施するための最良の形態

- 15 第1の実施例を第1図を用いて説明する。これはメモリシステムを構成した実施例である。

- 1はメモリコントローラ制御機構を有するLSIチップ（以下MC: Memory Controllor）である。10-1～10-4はメモリチップ（DRAM）である。第1図では、4個のメモリがMC1とデータ転送しているがそれ以上でもこれ以下でも目的・効果は同じである。

- 20はMC1から引き出された配線（メインライン）で遠端で終端抵抗30（R_{tt}）により整合終端されている。配線20-1～20-4はメインライン20と近接位置に平行に配線されており、それぞれメインライン20の一部と方向性結合器を構成している。この配線
- 25 20-1～20-4は方向性結合器を構成している他方の配線であるので副結合線路と呼ぶ。副結合線路20-1～20-4のMC1から

る。

$$L1 = 15 \text{ mm}, \quad L2 = 20 \text{ mm}, \quad L3 = 20 \text{ mm}, \quad L4 = 25 \text{ mm} \quad (4)$$

従来技術ではすべての結合長を 25 mm としていたので、DRAM
5 10-1 に対しては 260 mV、DRAM10-4 に対しては 200
mV と 60 mV も異なっていた。このため、2つのDRAM内のレシーバの遅延時間が異なりタイミングマージンを減らしていた。一設計例では入力振幅電圧差が 100 mV に対してレシーバの遅延差は約 1
10 ps であったので 60 mV は、66 ps の遅延ばらつきを意味する。
10 また、この場合の方向性結合器のジッタ量 T_j は 137 ps であったので、これとレシーバの遅延ばらつきと合算すると 203 ps のばらつきとなっていた。

これに対して本実施例では、ランダムパルスを 1.3 Gbps で駆
動し、DRAM10-1 ~ 10-4 の全て電圧がほぼ等しくなり、か
15 つ方向性結合器でのジッタ量の最大値は simulation 結果から 115
ps であり、従来技術に比べてレシーバばらつきを考慮しても 88 ps
小さいことが分かる。これは動作周期の 10% に相当し、この分タ
イミングマージンを確保できるあるいはその分高速化が可能となると
いえる。

20 このように各方向性結合器の長さを数式 (4) の様に信号量に応じ
て長さを調節することによって信号量変動を抑え、ジッタも抑えるこ
とができた。このため、各DRAM10-1 ~ 10-4 内のレシーバ
の遅延量差を抑えることができバスタイミングマージンを増やす
ことができる。すなわち、バスの高速化に効果があることがわかる。
25 更に、DRAM10-1 ~ 10-4 の各間隔を一番長い 10-4 の方
向性結合器長に合わせる必要がないのでDRAM10-1 と 10-2

$$K_b = (\text{方向性結合器の近端での信号生成量}) / (\text{主結合線路のドライブパルス電圧}) \quad (5)$$

従来技術で記したようにこれは後方クロストーク係数と呼ばれるものであり、ドライブパルスの立上り時間が方向性結合器の往復の伝搬遅延時間より短いとき一定値を取る。この場合、第7図の配線構造において2線路の静電容量行列[C]、インダクタンス行列[L]と表すと、以下の数式のような関係がある。ここで、各行列の要素を添え字 i, j で表した。

$$Z_{od} = \text{Sqrt}[(L_{11} + L_{12}) / (C_{11} + C_{12})] \quad (6)$$

$$10 \quad Z_{ev} = \text{Sqrt}[(L_{11} - L_{12}) / (C_{11} - C_{12})] \quad (7)$$

$$K_b = 1/2 \{ (Z_{ev} - Z_{od}) / (Z_{ev} + Z_{od}) \} \quad (8)$$

ここで Sqrt は平方根を表している。後方クロストーク係数 K_b は [C]、[L] の要素で表される。

第6図において、メインライン20が方向性結合器を構成している区間で便宜上区別する事にし、MC1に近い順に区間1、2、3、4とする。i区間を進むドライブパルスの減衰量を α_i とし、i番目の区間の方向性結合器の結合度を K_{bi} で表す。メインライン20の区間1に入射されるドライブパルスを V_0 とすると、区間iの副結合線路近端で生成される信号量 V_i は数(9)で表される。

$$20 \quad V_1 = K_{b1} * V_0$$

$$V_2 = K_{b2} * V_0 * \alpha_1$$

$$V_3 = K_{b3} * V_0 * \alpha_1 * \alpha_2$$

$$V_4 = K_{b4} * V_0 * \alpha_1 * \alpha_2 * \alpha_3$$

$$V_i = K_{bi} * V_0 * \Pi_i(\alpha_i) \quad (9)$$

25 ところで、 $\Pi_i(\alpha_i) = \alpha_1 * \alpha_2 * \alpha_3 \dots * \alpha_i$ である。減衰は周波数成分に依って異なり表皮効果やコンダクタンスロスにより

した場合 61 mV に対して本実施例は 28 mV と約半分になっていることが分かった。なお、バス配線のジッタはほぼ同じ 100 ps であった。

5 このため、バスの配線ジッタにはあまり低減効果はないが DIMM 間でレシーバへの入力振幅のばらつきが少ないことからレシーバの遅延時間のばらつきが少ないことから高速化に効果があることが分かる。

第 3 の実施例を第 8 図を用いて説明する。本実施例は第 1 の実施例の異なる結合長を持つ方向性結合器を用いた場合であってもモジュール間隔を一定にする実施例である。

10 DRAM10-1 ~ 10-4 はそれぞれ 60-1 ~ 60-4 で示されたドータボードに搭載され、コネクタ 50-1 ~ 50-4 を介して、マザーボード 100 に接続される。マザーボード 100 には MC1 が搭載され、メインライン 20 と、これの一部と方向性結合器を構成する副結合線路 20-1 ~ 20-4 が形成されている。ドータボード 60-1 ~ 60-4 には多くの DRAM が搭載されているが第 8 図では
15 簡単のため 1 つしか記していない。

MC1 からのドライブパルスが方向性結合器のメインライン 20 を伝搬し、この方向性結合器によって生成された信号はコネクタ 50-1 ~ 50-4 を介して DRAM10-1 ~ 10-4 に伝達される。この逆のデータ信号の伝搬も同じである。
20

ここで、方向性結合器の結合長は第 1 の実施例と同じく MC1 に対して遠くに行くに従い長くなっている。しかし、モジュール 60-1 ~ 60-4 の間隔は本実施例では一定である。モジュール 60-1 ~ 60-4 に搭載される DRAM10-1 ~ 10-4 など半導体の消費
25 電力が大きい場合装置によっては放熱のためのある程度の間隔が必要である。そして、放熱の観点ではモジュール間隔が一定である方が熱

器の結合係数 (K_b) を大きくしている。このため、方向性結合器で生成され $DRAM10-1 \sim 10-4$ へ伝搬される入力信号の振幅は殆ど同じとなり、配線間隔 w_i を変えていない場合に比べて信号振幅バラツキとジッタを抑えることができる。すなわち、等信号生成がなされていることが分かる。このため、これまでの実施例と同じくジッタ低減の効果がある。本実施例では C/A 信号に方向性結合器を用いる場合について述べたがこれをデータに対して施しても同じ効果を得ることができる。

第5の実施例を第10図を用いて説明する。本実施例では第4の実施例で示したメモリモジュール60を用いてデータ転送するメモリバスで、 C/A 信号用の方向性結合器をモジュール内に、データ信号用の方向性結合器をマザーボード100内に施した例である。

メモリモジュール60-1~60-4は同じ構成のモジュール基板で、 $DRAM$ を多数搭載している。それぞれの $DRAM$ を10-1~10-4で代表させた。モジュールには大きく分けて C/A 信号用とデータ信号用のピン乃至パッドはあり、これらの信号はこの図では示されていないコネクタにより接続されている。

C/A 信号は各モジュール60-1~60-4へ $MC1$ から配線され、これらを23で示した。データ信号は各モジュール60-1~60-4へ $MC1$ から配線され、これらを22で示した。このデータ信号の本数はモジュールの持つデータ信号ピンだけ有り、 $PC/サーバ$ に用いられるモジュールの場合32本、62本、72本、144本を有する。そしてそれら複数の配線からなるデータ信号用の配線構造はほぼ等しい。

第10図はメモリモジュール60-1~60-4がマザーボード100に垂直に搭載された場合の上面図で配線の構造を明らかにする目

10-4には配線20-4がL3の長さで接続されている。ここで、MC1からの配置の遠近ではなく、メインライン20の遠近で方向性結合器が配置されていることを特徴としている。

5 このようにメインライン20を折り返しこれに対して副結合線路を構成することで、モジュールの高密度化と共に方向性結合器により生成される信号振幅も一定にできる。また、本方式副結合線路20-2、20-3が重ならないように配置すればモジュール60-2と60-3の間隔L23を縮めることができる。これはこの区間で方向性結合器が無いためである。

10 これにより同じ枚数のメモリモジュール数を高密度にかつ、等信号量を生成する方向性結合器を構成することができる。

第7の実施例を第12図を用いて説明する。

15 本実施例は、メインラインをモジュール内に折り返したバス方式で、等信号量になるように方向性結合器を構成した例である。そして、メモリモジュールの種類を2種類で構成した例である。

MC1からのメインライン20はマザーボード100内の信号層とコネクタ50-1を介してモジュール60-1内に接続配線されている。モジュール60-1内の配線20と副結合線路20-1、20-2が方向性結合器を構成し、DRAM10-1、10-2に接続されている。メインライン20はモジュール60-1内で折り返されてコネクタ50-1を介して、再びマザーボード100内の信号層でコネクタ50-2まで配線される。以下同様に、モジュール60-2、60-3、60-4内をメインライン20はマザーボード上の終端抵抗にて終端されている。ここで、モジュール60-1、60-2は同じ構成のモジュールであり、2つの方向性結合器の結合長をそれぞれL1、L2とすると、 $L1 \leq L2$ となっている。更にモジュール60-

大きい。しかし、この Kb の差はドライブパルス信号がメインライン
20 を伝搬するに従い鈍る効果を打ち消している。また、結合長 L_i
 i は、実施例 1 では遠端ほど長くしていたが本実施例では遠端ほど短
い。これは遠端に行くほどドライブパルスが鈍ることから遠端ほど生
5 成される tail 部も長いことになる。このため、ドライブパルスの波形
鈍りによる tail 部の増大とジッタの増加を抑えるために、結合長 L_i
を短くしているのである。当然実施例 1 とは正反対のことを行うため、
結合長 L_i の現象に伴い信号量も減少するが、これは結合係数 Kb を
大きくすることで補償している。すなわち、結合長 L_i と配線間隔 w
10 i を数式 (14)、(15) の様に構成することで生成されるクロスト
ーク信号は同程度の信号振幅と信号時間幅を持っており、このため、
配線によるジッタの増加並びにレシーバの遅延時間ジッタを抑えるこ
とができる。このため、実施例 1 に比べて更に超高速なデータ伝搬に
好適である。

15 第 8 の実施例として第 14 図を用いて説明する。

第 14 図はこれまでの実施例 1 ～ 7 の MC 1 あるいは DRAM 10
ー 1 ～ 10ー 4 に搭載される半導体素子のドライバ 4 に関する物であ
り、本実施例は tail 部を無くすことで jitter の抑えることに目的が
ある。

20 本実施例の構成を述べる前に波形を用いてジッタ低減の原理を第 1
5 図を用いて説明する。

第 3 図に示したように高速データ転送を行う場合、バス配線での符
号間干渉は主にクロストーク信号の tail 部が後に続くデータに重畳
することで生じていた。このため、クロストーク信号から tail 部を小
25 さくすればバスの符号間干渉であるジッタ量を減らすことができる。

第 15 図はこの tail 部を小さくするためのドライブパルス (A) と

この波形を実現するドライバが第14図である。第14図はドライバ4の最終段の回路構成を中心に記述している。本実施例ではCMOSのpush-pullドライバで構成しているが、open-drain型インタフェースであっても第15図のような波形を構成できるのは言うまでもない。

第14図では最終段のドライバはトランジスタM1～M4で構成されデータ信号(DATA)とアウトプットイネーブル(OE)信号とで出力pad5へのデータ出力を制御される。OEがネゲートされDATAに応じてトランジスタM1～M4が出力されるが、これらのトランジスタのうちM3、M4はある一定の時間しかドライブされない。これは遅延回路90、91と排他的論理和X1、X2で制御される。すなわち、トランジスタM2とM4あるいはM1とM3はDATA信号に応じて同時にドライブされるが、遅延回路90、91によりX1、X2の入力が等しくなるのでトランジスタM3、M4をネゲートする。ここで、第15図(B)の α に相当するのがトランジスタM3、M4のドレインソース間インピーダンスであるのでこのトランジスタのゲート幅を調整することでこの α を制御することも可能である。

この遅延回路90、91は遅延保持回路(レジスタ)92、93により遅延時間を調整されている。遅延回路90、91の構成は複数の微小遅延素子を直列に接続し、それらの出力をスイッチにより切り替えることで、信号を遅延させることができる。遅延回路90、91はレジスタ92、93の値に従って微小遅延素子をいくつ繋げるかをスイッチにより選択できるので、遅延量を離散的かつ連続的に調整することができる。このレジスタ92、93には第15図の t_{od} とほぼ等しい遅延時間が発生するような値が保持されている。

この遅延回路90、91に相当する時間だけM1とM3ないしM2

リ 10 に分けて説明する。

- MC 1 の場合は、MC 1 に配線 24-1 ~ 24-4 が接続されており、これら配線 24-1 ~ 24-4 は方向性結合器 L 1 ~ L 4 の往復時間と同じ伝搬遅延時間を持つ配線長を持つ。このため、モジュール 60-1 に対する方向性結合器の結合長 L 1 の往復離縁時間は配線 24-1 の遅延時間を測ることで MC 1 は知り得る。同様に方向性結合器の結合長 L 2 ~ L 4 に対しても配線 24-2 ~ 24-4 の伝搬遅延時間を測ることで知り得る。この情報を元に MC 1 に搭載された第 14 図のドライバ 4 内レジスタ 93、94 の値を設定できる。これを用いて、MC 1 はライトデータを送信する場合、モジュール 60-1 ~ 60-4 に接続された方向性結合器結合長 L 1 ~ L 4 の往復遅延時間に応じた時間 t_{od} でデータとは反極性のパルスを第 15 図のようにドライブすることができるので符号間干渉が減少し高速化が可能となる。
- メモリ 10 の場合は、メモリモジュール 60-1 ~ 60-4 に搭載された書き換え可能な ROM (EPROM) 15-1 ~ 15-4 に格納された遅延時間情報をデータ送信に先立ちメモリ 10 ドライバ 4 内のレジスタ 93、94 に転送することでなされる。具体的には MC 1 は各モジュール 60-1 ~ 60-4 に対応した方向性結合器の結合長 L 1 ~ L 4 の往復伝搬時間情報を EPROM 15-1 ~ 15-4 に書き込んでおく。この書き込むタイミングはパワー投入時直後でも、定時間毎でも構わない。この書き込まれた情報を EPROM 15-1 ~ 15-4 は保持し、この値はメモリ 10 に配線 25 を用いて伝達される。メモリ 10 に対して遅延時間情報を伝達させるのは MC 1 がバウンダリスキャン情報を用いて各メモリに書き込んでもいいし、メモリ 10 の要求に従って EPROM 15-1 ~ 15-4 が各メモリ 10 に

方向性結合器の配線長をMCから遠い方向性結合器ほど長くすることによって、方向性結合器が生成するクロストーク信号をどの方向性結合器においても同じにする。これはドライブパルスが表皮効果・誘電損失により遠端に伝搬するに従い鈍っていくのを補正することができる。

方向性結合器により発生するジッタを方向性結合器の位置に関わらず一定にすることでシステム全体のタイミングマージンを一定することにある。

バスマスタ1とバススレーブ10-1~10-4間のデータ転送において、配置に依って生じる信号波形の振幅差を無くすことができた。これにより、レシーバの遅延ばらつきを低く抑え、レシーバのノイズ感度を一定にすることができた。これにより更なる高速化を可能とした。すなわち、バスの高速化に効果がある。

本発明において第2の効果は、メモリモジュールのようにシステムの構成により方向性結合器の結合長が充分取れないあるいは等間隔にバススレーブを配置しなければならない場合でも方向性結合器の結合長を最大長になるように等間隔で配置させ、配線の間隔を遠方ほど狭くすることでバススレーブ毎に生成されるクロストーク信号量を一定にできた。このため、等間隔配置と等信号生成の両立が可能となった。

本発明の第3の効果は、方向性結合器に依る生成波形がtail部を含んでいることによりこのtail部による符号間干渉に伴ってジッタの原因になっていたが、ドライバにデータとは反対極性のパルスを方向性結合器の往復遅延時間だけドライブパルス振幅の α 倍(約10~20%)ドライブすることでtail部をなくすことができた。このため、信号振幅を一定にし、tail部に起因する符号間干渉がなくすことができた。このため更なる高速化が可能となった。

請 求 の 範 囲

1. 複数の半導体素子間でデータを転送するバスシステムにおいて、
第1の半導体から第1の配線が引き出され、この第1の配線と平行
5 配線することにより方向性結合器を構成する複数の配線がなされ、そ
れぞれの該配線が第2の半導体素子に接続され、
該複数の方向性結合器により生成される信号振幅がおおよそ同じに
なるように方向性結合器ごとに異なる結合長を持たせたことを特徴と
するバスシステム。
- 10 2. 請求項1のバスシステムにおいて、
接続される n 個の方向性結合器のうち、第1の半導体から近い順に
方向性結合器の長さを L_1 、 L_2 、 L_3 ... L_n とすると、
 $L_1 \leq L_2 \leq L_3 \leq \dots \leq L_n$ とすることで方向性結合器の生成信
15 号量がおおよそ等しくなることを特徴とするバスシステム。
3. 請求項2のバスシステムにおいて、
前記第2の半導体の数が4つであり、前記第1の半導体から近い順
に方向性結合器の長さを L_1 、 L_2 、 L_3 、 L_4 とすると、
20 L_1 、 L_2 、 L_3 そして L_4 の結合長差が10mm以内としたこと
を特徴とするバスシステム。
4. 請求項1のバスシステムであって、
接続される n 個の方向性結合器のうち、前記第1の半導体から近い
25 順に方向性結合器を構成する平行2線路間の間隔を w_1 、 w_2 、 w_3 ...
 w_n とすると、

該複数のデータボードの間隔を方向性結合器の長さとは独立に一定とすることを特徴とするバスシステム。

9. 請求項4又は、5のバスシステムに用いられるメモリモジュールであって、

複数の前記第2の半導体の代わりにメモリを複数搭載し、前記第1の半導体と該メモリ間との信号伝達に用いられる方向性結合器をメモリモジュール内に持ち、該メモリは該メモリモジュール内で等間隔に配置され、

- 10 バスシステムに接続される n 個の方向性結合器のうち、第1の半導体から近い順に方向性結合器を構成する平行2線路間の間隔を w_1 、 w_2 、 $w_3 \dots w_n$ とすると、

- 15 $w_1 \geq w_2 \geq w_3 \geq \dots \geq w_n$ とすることで方向性結合器の結合度を変え、該方向性結合器による生成信号量がおおよそ等しくなることを特徴とするメモリモジュール。

10. 第9のメモリモジュールを用いたバスシステムであって、

- 20 データ信号バスを介してデータ信号をマザーボード内に構成された方向性結合器を用いて転送し、制御信号バスを介して制御信号をデータボード内に構成された方向性結合器を用いて転送し、

マザーボード上に構成された n 個ある前記メモリモジュール毎の方向性結合器のうち、メモリコントローラから近い順に種毎の方向性結合器の長さを L_1 、 L_2 、 $L_3 \dots L_n$ とすると、

$L_1 \leq L_2 \leq L_3 \leq \dots \leq L_n$ であり、

- 25 前記メモリモジュール内において前記制御信号バスに接続される n 個の方向性結合器のうち、前記第1の半導体から近い順に方向性結合

に方向性結合器の長さを L_1 、 L_2 とすると、

$L_1 \leq L_2$ となる第1のメモリモジュールと、

該折り返された配線に結合される副結合配線される2個の該方向性結合器のうち、該配線沿いに数えて前記第1の半導体から近い順に方

5 向性結合器の長さを L_3 、 L_4 とすると、

$L_2 \leq L_3 \leq L_4$ となる第2のメモリモジュールとを含み、

該マザーボードに前記第1の半導体から見て、近い方から第1のメモリモジュールを2枚、次に第2のメモリモジュールを2枚搭載したことを特徴とするバスシステム。

10

13. 請求項2又は、4のバスシステムにおいて、

バスシステムに接続される n 個の方向性結合器のうち、前記第1の半導体から近い順に方向性結合器の長さを L_1 、 L_2 、 $L_3 \dots L_n$ とすると、

15 $L_1 \leq L_2 \leq L_3 \leq \dots \leq L_n$ とし、該バスシステムに接続される n 個の該方向性結合器のうち、前記第1の半導体から近い順に該方向性結合器を構成する平行2線路間の間隔を w_1 、 w_2 、 $w_3 \dots w_n$ とすると、

20 $w_1 \geq w_2 \geq w_3 \geq \dots \geq w_n$ とすることで方向性結合器の結合度を変え、

該方向性結合器による生成信号量がおおよそ等しくなることを特徴とするバスシステム。

14. 複数の半導体素子間でデータを転送するバスシステムにおいて、
25

第1の半導体から第1の配線が引き出され、この第1の配線と平行

出力するドライバを持つことを特徴とするメインコントローラ。

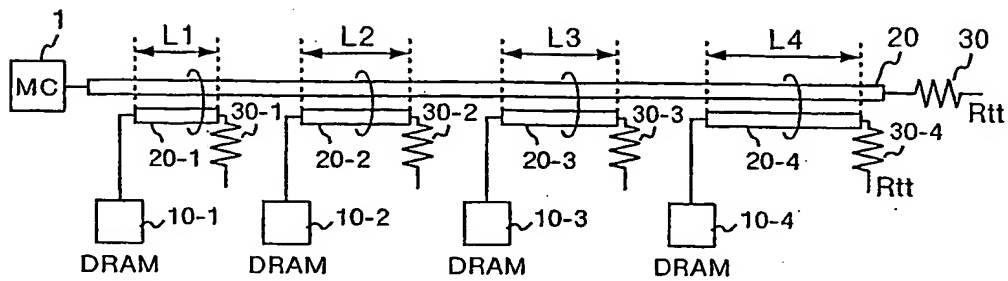
17. 請求項15のバスシステムにおけるメモリであって、

5 接続される方向性結合器の往復配線長時間を保持する複数の遅延時間保持回路を有し、出力データを送信した直後から数えて該保持回路の遅延時間後に該出力データは反転した信号を信号振幅の10～20%の間で出力し次に続くデータが来るまで該反極性の信号が継続出力するドライバを持つことを特徴とするメモリ。

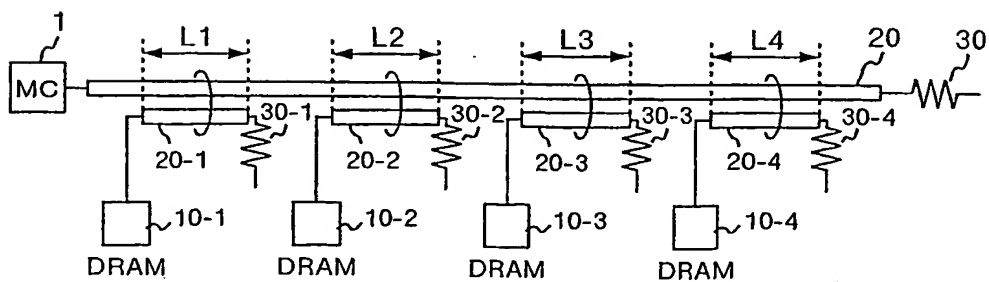
10 18. 請求項15のバスシステムにおけるメモリモジュールであって、

遅延時間保持回路を有するメモリを搭載し、メモリは該遅延時間保持回路の値をデータ転送に先んじて該メモリモジュール内に設けられたEPROMから読み出し、該メモリモジュール内の該メモリはすべて
15 同じ値の遅延時間に対応した値を該遅延時間保持回路に有することを特徴とするメモリモジュール。

第1図



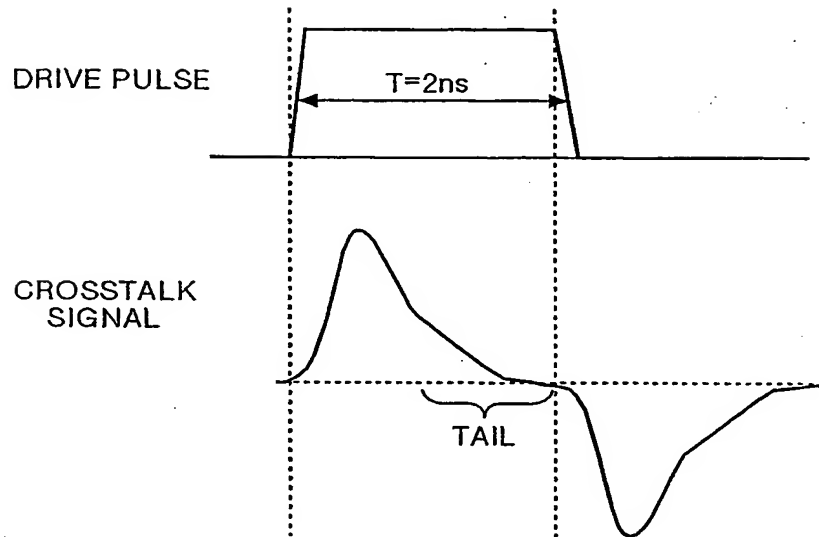
第2図



第3図

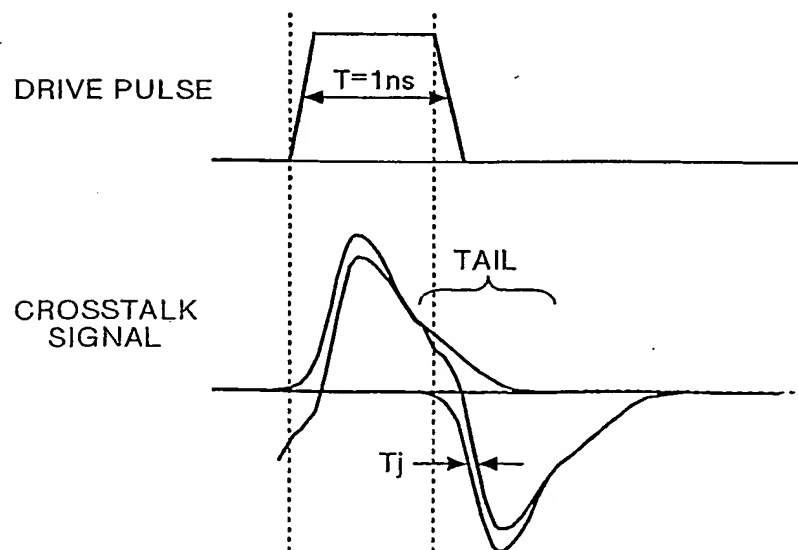
(A)

500Mbpsの波形



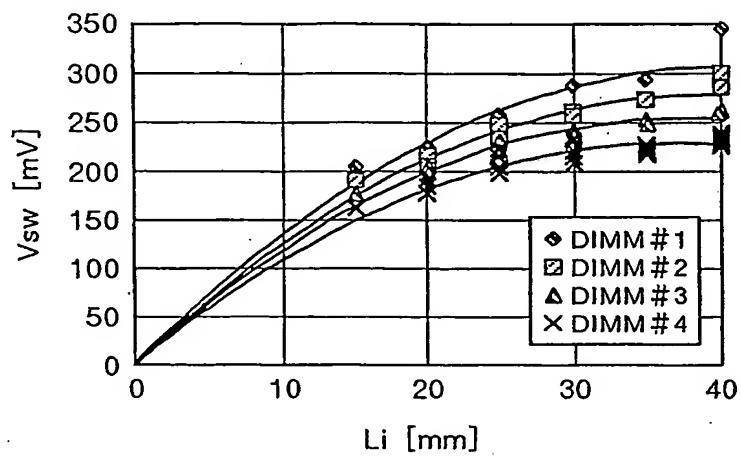
(B)

1Gbpsの波形



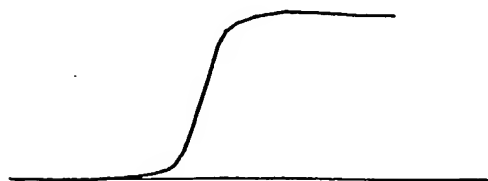
3/9

第4図

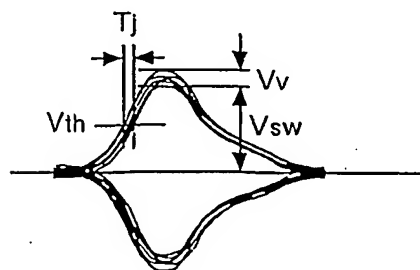


第5図

(A)
DRIVE PULSE

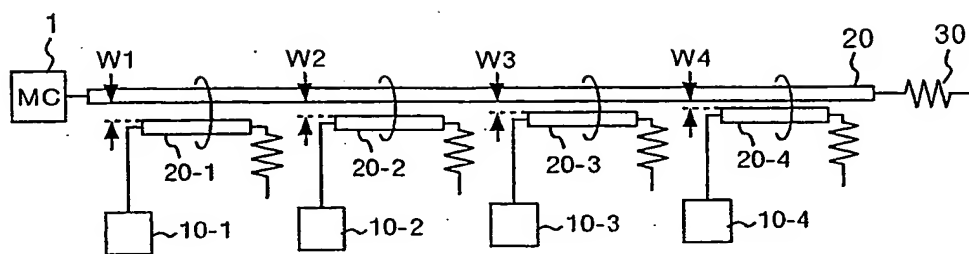


(B)
COUPLER SIGNAL

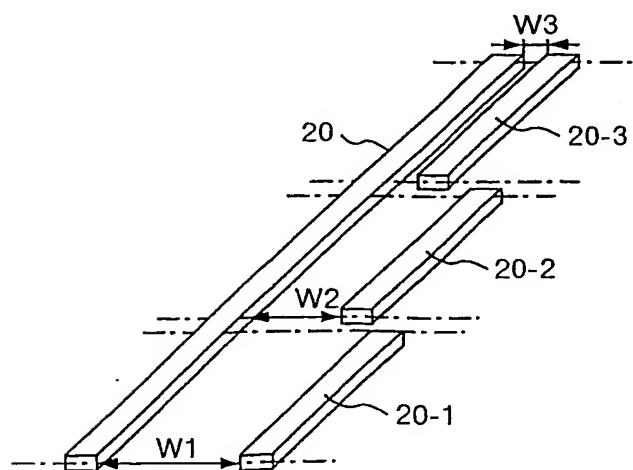


4/9

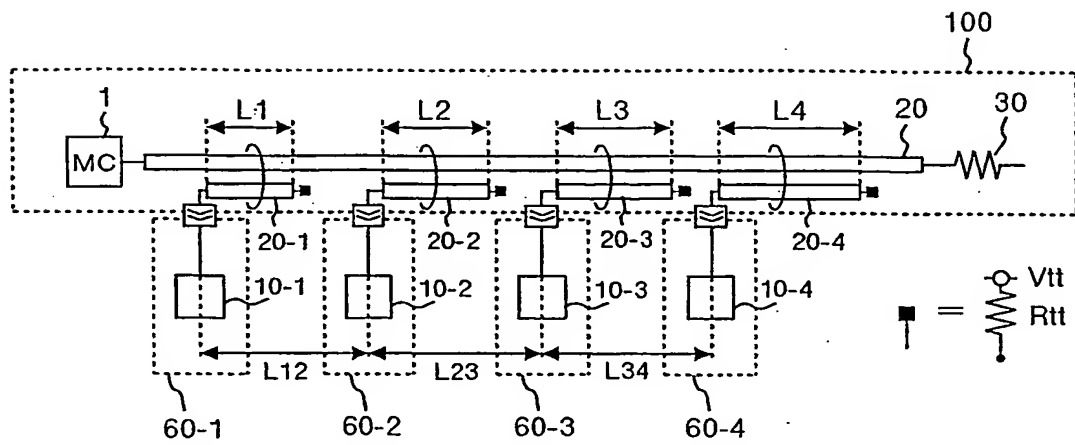
第 6 図



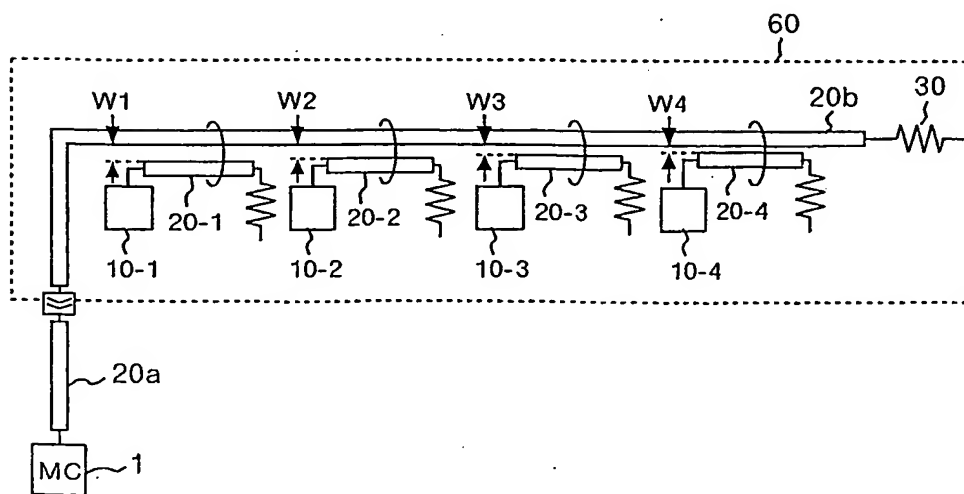
第 7 図



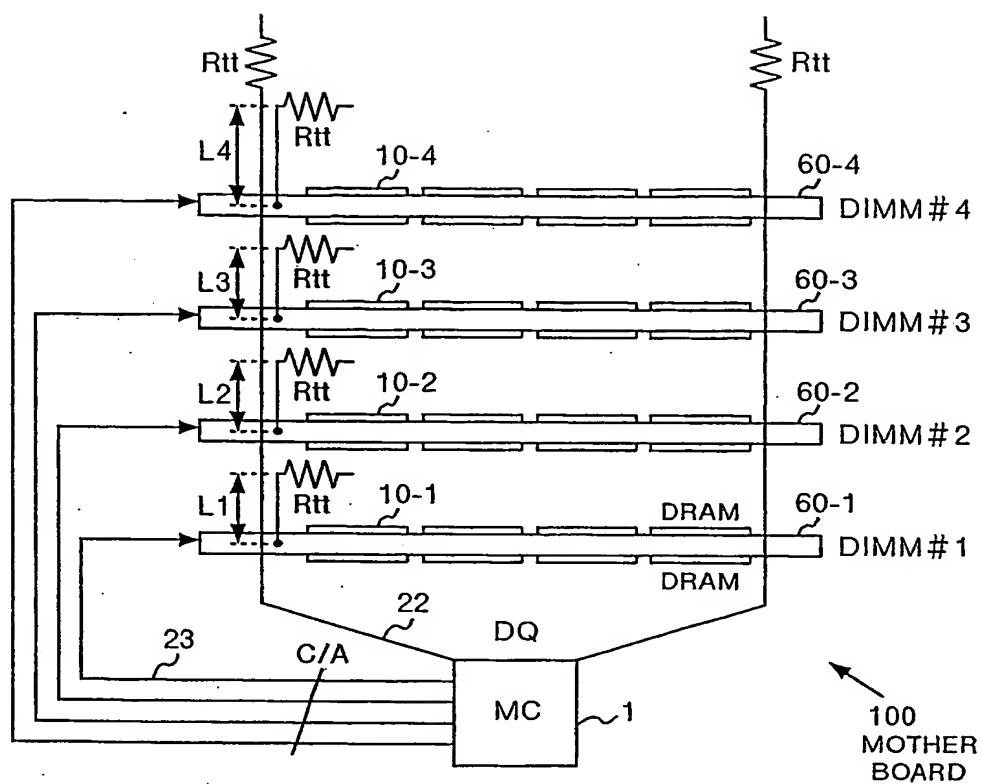
第 8 図



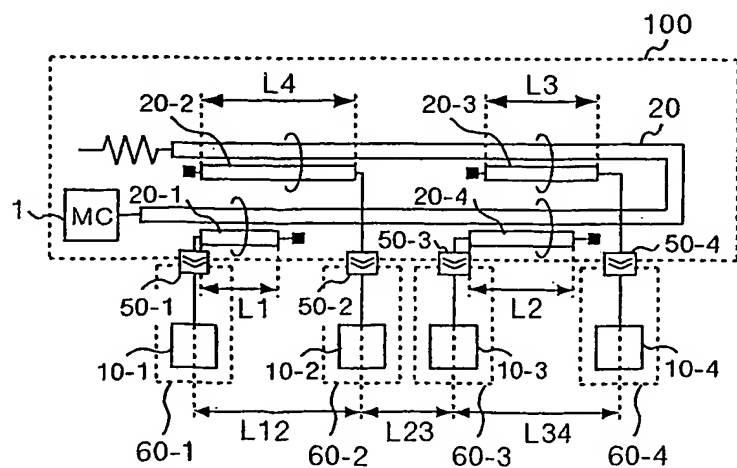
第 9 図



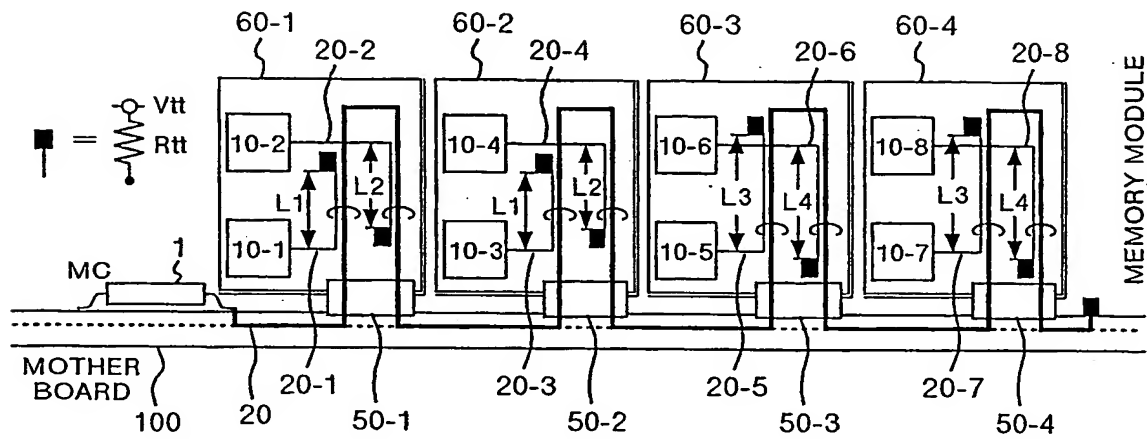
第 10 図



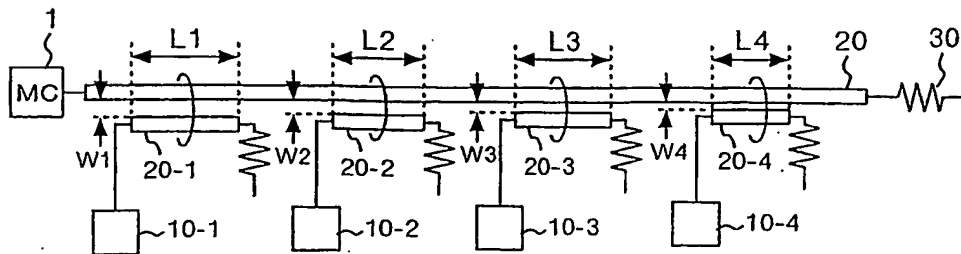
第 11 図



第 1 2 図

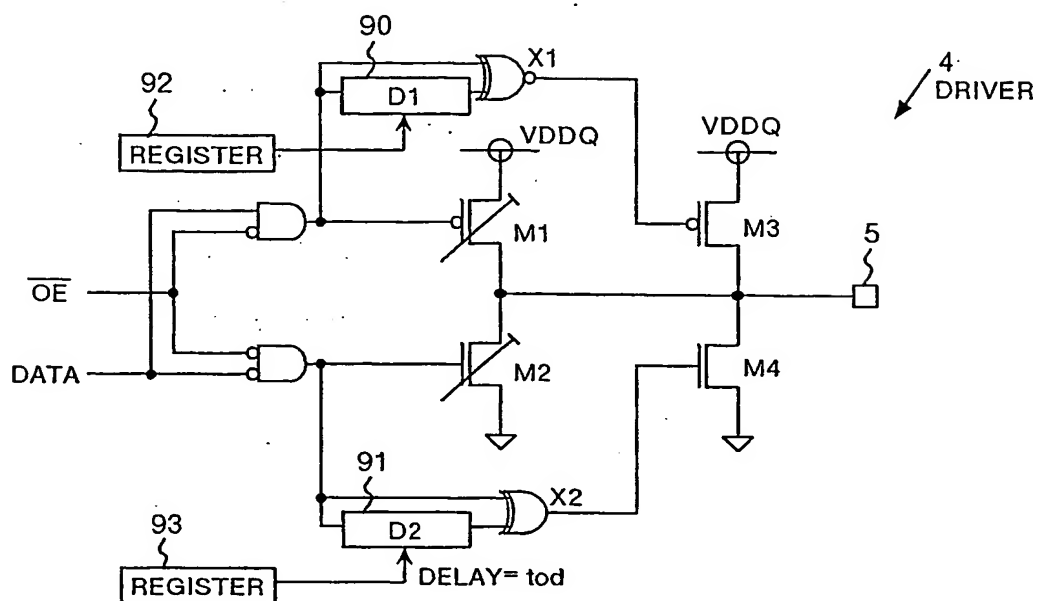


第 1 3 図

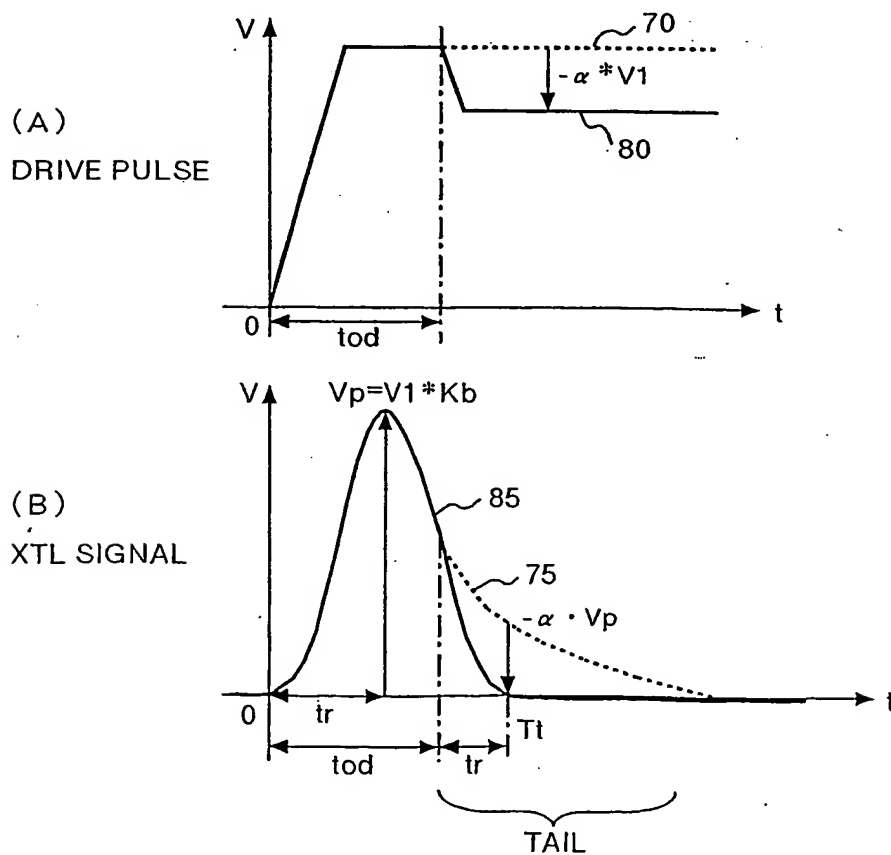


8/9

第 1 4 図



第 1 5 図



第 1 6 図

